

# 18 ПРОЕКТИРОВАНИЕ СИСТЕМЫ

В этой главе приведена информация об аппаратном и программном обеспечении и проектировании систем на базе процессоров Blackfin. На возможности, реализованные в системе, влияют требования к цене и производительности и общие требования к системе. Во многих случаях, аспекты, отмеченные в этой главе, более подробно описываются в других главах данного руководства. При этом вместо повторения материала даётся ссылка на соответствующий раздел.

## Описание выводов

Информацию о выводах процессора, включая номера выводов для 160-выводного корпуса PBGA, см. в *ADSP-BF531/ADSP-BF532/ADSP-BF533 Embedded Processor Data Sheet*.

## Рекомендации по использованию незадействованных выводов

Подробное описание выводов процессора см. в *ADSP-BF531/ADSP-BF532/ADSP-BF533 Embedded Processor Data Sheet*.

## Сброс процессора

Кроме режима аппаратного сброса процессора при помощи вывода  $\overline{\text{RESET}}$ , процессор поддерживает несколько режимов программного сброса. Подробную информацию о различных режимах сброса процессора см. в разделе “Сброс системы и конфигурация при включении питания” главы 3.

Состояние процессора после сброса описано в разделе “Состояние сброса” главы 3.

## Загрузка процессора

Возможно несколько различных вариантов загрузки процессора: выполнение программы из внешней 16-разрядной памяти, начальная загрузка из ПЗУ, сконфигурированного на загрузку кода из 8-разрядной флэш-памяти, или загрузка из последовательного ПЗУ (с 8-, 16- или 24-разрядным диапазоном адресов). Дополнительную информацию о режимах загрузки см. в разделе “Методы загрузки” главы 3.

## 18 Проектирование системы

Схемы подключения процессора для загрузки из 8-разрядной и 16-разрядной памяти показаны на рис. 18-1 и 18-2, соответственно. Обратите внимание на то, что подключение адресных линий осуществляется одинаково и для 8- и для 16-разрядных периферийных устройств. Если используется 8-разрядная память, передаётся только младший байт каждого 16-разрядного слова.

Например, при выполнении ядром следующей операции чтения:

```
R0 = W[P0] (Z); //P0 указывает на ячейку в асинхронной
памяти, адрес которой выровнен по границе 16-разрядного
слова
```

только младшие 8 битов регистра R0 содержат действительное значение, считываемое из 8-разрядного устройства.

При выполнении ядром следующей операции записи:

```
W[P0] = R0.L; //P0 указывает на ячейку в асинхронной
памяти, адрес которой выровнен по границе 16-разрядного
слова
```

8-разрядная величина, записываемая в 8-разрядное устройство, должна загружаться в младший байт регистра R0.

### Управление тактовыми сигналами

Тактирование процессора может осуществляться сигналом внешнего кварцевого резонатора или буферизированным тактовым сигналом, полученным из сигнала внешнего тактового генератора. Внешний тактовый сигнал подаётся на вывод CLKIN процессора. В режиме нормальной работы процессора сигнал на входе CLKIN не может принимать постоянный уровень; его частота не должна изменяться или быть ниже определённого значения. Процессор использует входной тактовый сигнал для формирования внутренних тактовых сигналов – тактового сигнала ядра (CCLK) и тактового сигнала периферийных устройств (SCLK).

## 18 Проектирование системы



Рис. 18-1. Интерфейс с 8-разрядной SRAM или флэш-памятью

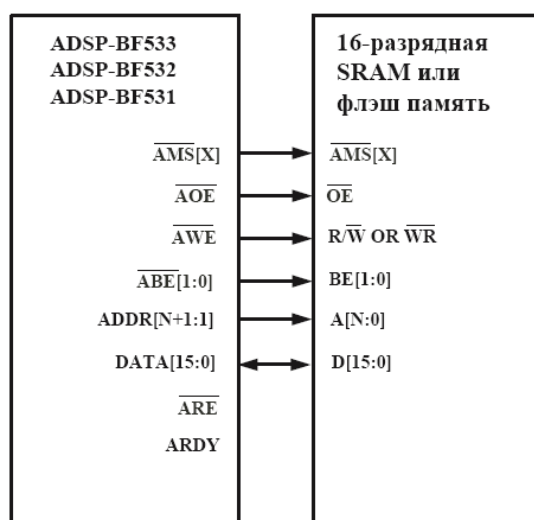


Рис. 18-2. Интерфейс с 16-разрядной SRAM или флэш-памятью

### Управление тактовыми сигналами ядра и системы

Процессор формирует тактовый сигнал VCO схемы PLL путём умножения входного тактового сигнала, подаваемого на вывод CLKIN. Для формирования тактовых сигналов ядра (CCLK) и системы (SCLK) выполняется деление тактового сигнала VCO. Коэффициент деления, используемый для получения тактового сигнала ядра, задаётся полем CSEL в регистре PLL\_DIV. Коэффициент деления, используемый для получения тактового сигнала системы, задаётся полем SSEL в регистре PLL\_DIV. Подробную информацию о настройке и изменении частот сигналов CCLK и SCLK см. в главе 8, “Динамическое управление питанием”.

## 18 Проектирование системы

### Конфигурирование и обслуживание прерываний

В процессоре имеется большое число прерываний, подразделяющихся на прерывания ядра и прерывания системы. Процессор назначает прерываниям системного уровня приоритеты ядра по умолчанию. Однако, пользователь может переназначать эти приоритеты при помощи регистров назначения прерываний системы (SIC\_IARx). Дополнительную информацию см. в разделе “Регистры назначения прерываний системы (SIC\_IARx)” в главе 4.

Ядро процессора поддерживает работу с вложением и без вложения прерываний, а также самовложенные прерывания. Описание различных режимов обслуживания событий см. в разделе “Вложение прерываний” в главе 4.

### Семафоры

Семафоры обеспечивают механизм связи между несколькими процессорами или процессами/потоками, выполняемыми в одной системе. Они применяются для координации совместного использования ресурсов. Например, если процесс требует использования ресурса, задействованного в данный момент другим процессом, он должен дождаться сигнала от этого процесса об освобождении ресурса. Эта сигнализация обеспечивается семафорами.

Когерентность семафоров гарантируется при использовании команды проверки и установки байта (элементарной команды), TESTSET. По команде TESTSET выполняются следующие операции:

- Загружается полуслово из ячейки памяти, на которую указывает Р-регистр. Содержимое Р-регистра должно быть выровнено по границе полуслова.
- Если значение полуслова равно нулю, устанавливается бит СС,.
- Полуслово помещается обратно в исходную ячейку памяти (однако, в старший бит (MSB) младшего байта записывается единица).

Операции, выполняемые по команде TESTSET, являются элементарными. При их выполнении происходит захват шины памяти, в которой содержится адресуемая ячейка; шина высвобождается только по завершении операции сохранения в память. В многопоточных системах использование команды TESTSET необходимо для обеспечения непротиворечивости семафоров.

Для того чтобы гарантировать завершение операции сохранения в память (прохождение сохраняемого значения через любые буферы записи или сохранения), сразу по высвобождению семафора следует вызвать команду SSYNC.

Команда TESTSET может использоваться для реализации двоичных семафоров или любого другого метода взаимного исключения. Она поддерживает требования системного уровня к многоцикловому механизму захвата шины.

## 18 Проектирование системы

Процессор ограничивает использование команды TESTSET областью внешней памяти. Использование команды TESTSET для адресации любой другой области карты памяти может привести к ненадёжному поведению процессора.

### Пример программы семафора

В листинге 18-1 приведён пример программы, реализующей семафор, при помощи которого проверяется доступность совместно используемого ресурса.

Листинг 18-1. Семафор запроса

```
/* Семафор запроса. Если значение семафора не равно нулю,
он "занят". Необходимо дождаться освобождения семафора (или
выполнить перепланировку потока, см. примечание ниже). P0
содержит адрес семафора. */
QUERY:
TESTSE (P0);
IF !CC JUMP QUERY;
/* На данном этапе семафор передаётся активному потоку.
Выполнение всех остальных конкурирующих потоков
откладывается, так как значение семафора в [P0] не равно
нулю. Активный поток может записать в ячейку семафора
значение идентификатора (thread_id), указывающего текущего
владельца ресурса. */
R0.L = THREAD_ID;
V[P0] = R0;
/* По завершении работы с совместно используемым ресурсом в
[P0] записывается нулевой байт */
R0 = 0;
V[P0] = R0;
SSYNC;
/* ПРИМЕЧАНИЕ: Вместо ожидания в цикле QUERY можно
использовать вызов операционной системы для перепланировки
потоков */
```

### Задержки данных и пропускная способность

Подробную информацию о задержках и производительности шин DMA и внешней памяти см. в главе 7, "Иерархия внутренних шин".

### Приоритеты шин

Описание процесса назначения приоритетов различным внутренним шинам процессора см. в главе 7, "Иерархия внутренних шин".

## 18 Проектирование системы

### Аспекты интерфейса с внешней памятью

В данном разделе рассматриваются аспекты проектирования интерфейса с внешней памятью.

#### Примеры интерфейсов с внешней асинхронной памятью

В этом разделе описывается подключение к процессору 16-разрядной SRAM без использования дополнительных компонентов. Необходимо отметить, что данный интерфейс не требует внешнего сигнала ARDY, так как для удовлетворения времён доступа к памяти достаточно использования внутреннего счётчика состояний ожидания.

На рис. 18-3 показаны связи, необходимые для поддержки 16-разрядной памяти. Следует отметить, что в этом примере требуется разрешение для данного банка памяти режима 16-разрядной упаковки. В противном случае, в программе необходимо гарантировать, чтобы при обращении к каждой второй ячейке 16-разрядной памяти использовался чётный 16-разрядный адрес (биты [1:0] адреса = 00).

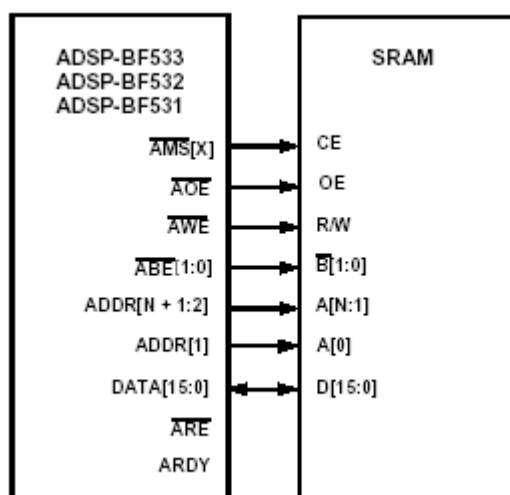


Рис. 18-3. Интерфейс с 16-разрядной SRAM

#### Использование SDRAM объёмом менее 16 Мбайт

В процессорах ADSP-BF531/ADSP-BF532/ADSP-BF533 может быть реализован интерфейс с SDRAM объёмом менее 16 Мбайт. Для этого необходимо понимание того, как изменяется карта памяти. На рис. 18-4 показан пример, в котором SDRAM объёмом 2 Мбайта (512К × 16 бит × 2 банка) отображается в интерфейсе внешней памяти. В данном примере каждый банк имеет 11 адресов строк и 8 адресов столбцов. Из таблицы 17-5 следует, что наименьшему возможному размеру банка (16 Мбайт) для устройства с 8 адресами столбцов соответствует 2 линии адреса банка (IA[23:22]) и 13 линий адресов строк (IA[21:9]). Поэтому

## 18 Проектирование системы

1 линия адреса банка и 2 линии адреса строки в данном примере остаются не задействованными. Это вызывает наложение в карте внешней памяти процессора, которое приводит к тому, что область пространства памяти процессора, в которую отображается SDRAM, не является неразрывной.

Обратившись к таблице на рис. 18-4, следует отметить, что каждая её строка соответствует  $2^{19}$  байтам (512 Кбайтам). Таким образом, как показано в левой части рисунка, область пространства памяти процессора Blackfin, в которую отображается SDRAM объёмом 2 Мбайта, не является неразрывной.

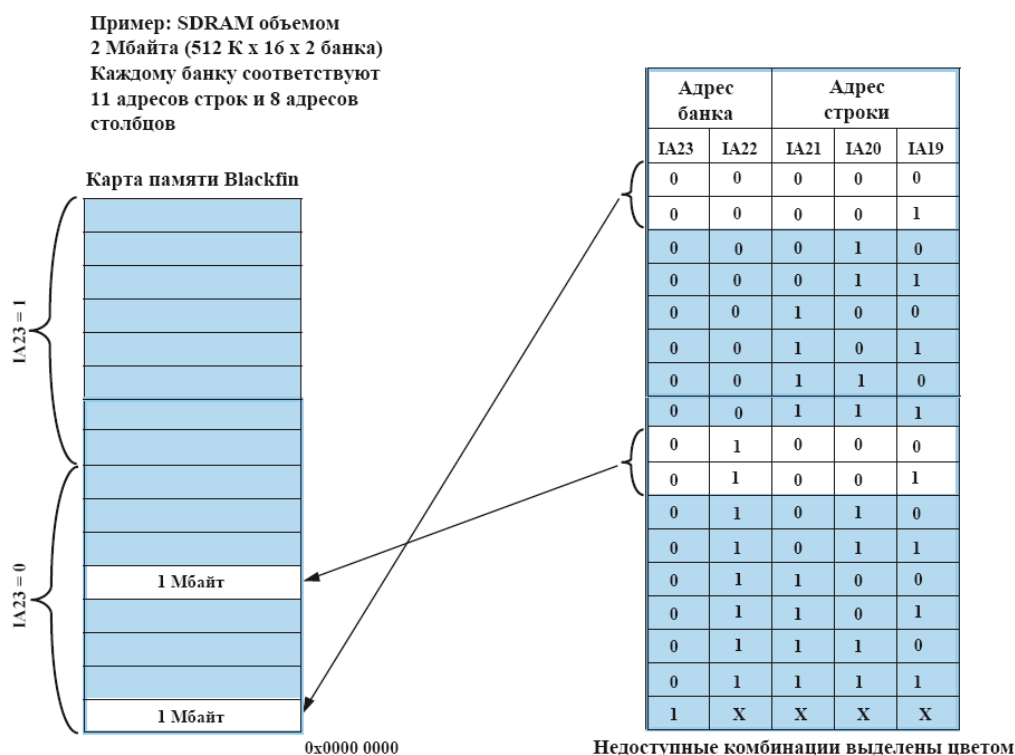


Рис. 18-4. Использование SDRAM малого объёма

### Управление регенерацией SDRAM во время изменения состояния PLL

Частота регенерации SDRAM зависит от частоты SCLK, поэтому при уменьшении частоты SCLK после конфигурирования SDRAM частота регенерации может принять недопустимое значение и повлечь возможное повреждение данных. Увеличение частоты SCLK после конфигурирования SDRAM приведёт лишь к менее эффективному её использованию, так как процессор будет выполнять регенерацию памяти с излишне высокой скоростью.

В системах, в которых используется SDRAM, рекомендуется следующая процедура изменения частоты VCO PLL:

1. Для того чтобы гарантировать завершение всех операций с памятью, находящихся в процессе выполнения, вызовите команду SSYNC.

## 18 Проектирование системы

2. Переведите SDRAM в режим саморегенерации записью единицы в бит SRFS регистра EBIU\_SDGCTL.
3. Выполните требуемую последовательность программирования PLL (подробности см. в главе 8, “Динамическое управление питанием”).
4. После выхода из ожидания (захвата схемой PLL нового значения частоты VCO), запишите в регистр управления частотой регенерации SDRAM (EBIU\_SDRRC) значение, соответствующее новой частоте SCLK.
5. Выведите SDRAM из режима саморегенерации, сбросив бит SRFS регистра EBIU\_SDGCTL. Если необходимо изменить содержимое регистра режима SDRAM, внесите изменения в соответствующие биты регистра EBIU\_SDGCTL (при этом в бит PSSE необходимо записать единицу).

Если частота SCLK изменяется при помощи записи нового значения в поле SSEL регистра PLL\_DIV, а не путём изменения частоты VCO, следует воспользоваться следующей процедурой:

1. Для того чтобы гарантировать завершение всех операций с памятью, находящихся в процессе выполнения, вызовите команду SSYNC.
2. Переведите SDRAM в режим саморегенерации записью единицы в бит SRFS регистра EBIU\_SDGCTL.
3. Выполните запись желаемого значения в поле SSEL.
4. Запишите в регистр управления частотой регенерации SDRAM (EBIU\_SDRRC) значение, соответствующее новой частоте SCLK.
5. Выведите SDRAM из режима саморегенерации, сбросив бит SRFS регистра EBIU\_SDGCTL. Если необходимо изменить содержимое регистра режима SDRAM, внесите изменения в соответствующие биты регистра EBIU\_SDGCTL (при этом в бит PSSE необходимо записать единицу).

Следует отметить, что при повышении частоты SCLK выполнение шагов 2 и 4 не является обязательным. При понижении частоты SCLK они должны выполняться всегда.

Дополнительную информацию о регенерации SDRAM см. в разделе “Контроллер SDRAM (SDC)” в главе 17, “Устройство интерфейса внешней шины”.

### **Избежание конфликтных ситуаций на шине**

Так как шина данных с тремя состояниями может совместно использоваться несколькими устройствами в системе, необходимо избегать конфликтных ситуаций на ней. Конфликтные ситуации вызывают чрезмерное рассеивание мощности и могут привести к сбою устройства. Они происходят в моменты времени, когда одно устройство освобождает, а другое захватывает шину (в случае если первое устройство переходит в третье состояние медленнее, чем второе начинает выдавать данные).

Конфликтная ситуация может возникнуть в следующих двух случаях:



## 18 Проектирование системы

- Чтение с последующей записью в одно пространство памяти. При этом формирователи шины данных могут конфликтовать с формирователями устройства памяти, адресуемого при чтении.
- Последовательное чтение из двух различных пространств памяти. При этом конфликт между двумя устройствами памяти, адресуемыми двумя операциями чтения, может возникать в момент перехода от одной операции к другой.

Для того, чтобы избежать конфликтов, необходимо задать соответствующие значения времён изменения направления передачи (времён переключения банка) в регистрах управления банками асинхронной памяти. Эта опция позволяет задавать в программе для каждого банка число тактов тактового сигнала, добавляемое в указанных выше случаях. Минимальное количество тактов, добавляемое устройством интерфейса внешней шины (EBIU) при переключении, составляет один такт.

### Аспекты проектирования высокочастотных схем

Так как процессор может работать с очень высокими тактовыми частотами, при проектировании и разводке печатных плат необходимо учитывать проблемы влияния шумов и целостности сигналов. Эти вопросы рассматриваются в следующих разделах, где также предлагаются различные методы проектирования и отладки систем обработки сигналов.

### Соединение последовательных портов по принципу “точка-точка”

Несмотря на то, что последовательные порты могут работать с низкой частотой, выходные формирователи имеют высокую скорость переключения. Таким образом, при больших расстояниях между процессорами может потребоваться согласование сопротивления источника.

При соединении последовательных портов по схеме “точка к точке” рядом с выводом могут последовательно подключаться нагрузочные резисторы. Обычно этот метод согласования применяется в схемах, где расстояние между соединяемыми последовательными портами превышает 6 дюймов. Более подробную информацию о конкретных решениях по согласованию линий передачи см. в источнике, указанном в разделе “Рекомендуемая литература”. Информацию о временах нарастания и спада импульсов для выходных формирователей см. в *ADSP-BF531/ADSP-BF532/ADSP-BF533 Embedded Processor Data Sheet*.

### Целостность сигналов

Емкостная нагрузка на линиях высокочастотных сигналов должна быть максимально снижена. Нагрузка на шину может снижаться при использовании буфера для устройств, работающих с состояниями ожидания (например, DRAM). При этом снижается влияние емкости на сигналы, которые используются при

## 18 Проектирование системы

работе с устройствами без состояний ожидания, что позволяет этим сигналам быстрее переключаться; а также снижается влияние шумовых выбросов тока.

Расстояние, проходимое сигналом (индуктивность), также должно минимизироваться для снижения звона. Особую осторожность нужно соблюдать с определенными сигналами, такими как стробы записи, чтения и подтверждения внешней памяти.

Для поддержания целостности сигналов также рекомендуется:

- Использовать несколько земляных слоёв на печатной плате (PCB, Printed Circuit Board) для уменьшения перекрёстных помех. Земляные слои должны располагаться в центре платы и быть соединены большим количеством межслойных отверстий.
- В целях снижения перекрёстных помех проводники, по которым передаются критичные сигналы, такие как тактовые сигналы, стробы и сигналы запроса шины, должны располагаться на слоях, смежных с земляными слоями, на значительном расстоянии от проводников, по которым передаются остальные некритичные сигналы, или перпендикулярно к ним.
- В целях снижения перекрёстных помех и контроля над импедансом и задержкой необходимо использовать линии передачи с низким импедансом.
- При настройке платы следует отделить помехи, вызванные шумами, и перекрёстные помехи, от помех, вызванных отражением сигналов. Для этого можно подать на сигнальный провод сигнал с генератора импульсов и исследовать его отражение. При этом остальные компоненты и сигналы должны быть пассивны.

### **Развязывающие конденсаторы и земляные слои**

Для земли и напряжений питания должны использоваться сплошные слои. Как показано на рис. 18-5, развязывающие конденсаторы должны подключаться максимально близко к выводам VDD<sub>EXT</sub> и VDD<sub>INT</sub> корпуса микросхемы короткими и толстыми проводниками. Подключаемый к земле вывод конденсатора должен подсоединяться непосредственно к земляному слою внутри площадки, занимаемой процессором на плате, (под процессором на нижнем слое платы). Не располагайте конденсаторы вне площадки, занимаемой процессором. Рекомендуется использовать конденсаторы поверхностного монтажа, так как они имеют меньшую последовательную индуктивность.

Выводы напряжения питания должны соединяться непосредственно со слоем питания; длина проводников при этом должна быть минимальна. Слои земли не должны быть слишком часто перфорированы переходными отверстиями или проходящими сквозь них проводниками, так как это снизит их эффективность. Кроме того, на плате должно стоять несколько танталовых конденсаторов большой емкости.



Рис. 18-5. Размещение блокировочных конденсаторов



Можно использовать любой вариант размещения блокировочных конденсаторов или их комбинацию. При проектировании платы следует, по возможности, минимизировать число сигнальных проводников, проходящих сквозь земляные слои.

### Щупы осциллографов

При выполнении высокочастотных измерений используйте щуп осциллографа с коротким (менее 0,5 дюймов) заземляющим зажимом типа штык (bayonet) или аналогичным. Зонд должен быть активным с малой емкостью нагрузки (3 пФ или меньше). При использовании зонда со стандартным заземляющим зажимом длиной 4 дюйма на экране может появляться звон, а также существенные выбросы на переднем и заднем фронтах импульса. Для точного отображения измеряемых сигналов необходим стробоскопический осциллограф с частотой выборки 1 ГГц и выше.

# 18 Проектирование системы

## Рекомендуемая литература

Дополнительную информацию см. в книге *High-Speed Digital Design: A Handbook of Black Magic*, Johnson & Graham, Prentice Hall, Inc., ISBN 0-13-395724-1.

Эта книга представляет собой технический справочник, описывающий проблемы, возникающие при разработке современных высокочастотных цифровых схем. Она является отличным источником теоретической и практической информации. Основные моменты, рассматриваемые в этой книге:

- характеристики быстродействия логических элементов,
- методы измерения,
- линии передачи,
- земляные слои и расположение слоев,
- нагрузки,
- переходные отверстия,
- системы питания,
- соединители,
- плоские кабели,
- распределение тактовых сигналов,
- генераторы тактовых сигналов.