

7 ИЕРАРХИЯ ВНУТРЕННИХ ШИН

В этой главе обсуждаются внутренние шины, пересылки данных в системе, и факторы, определяющие организацию системы. В ней также описываются внутренние интерфейсы системы и обсуждаются связи в системе и соответствующие системные шины.

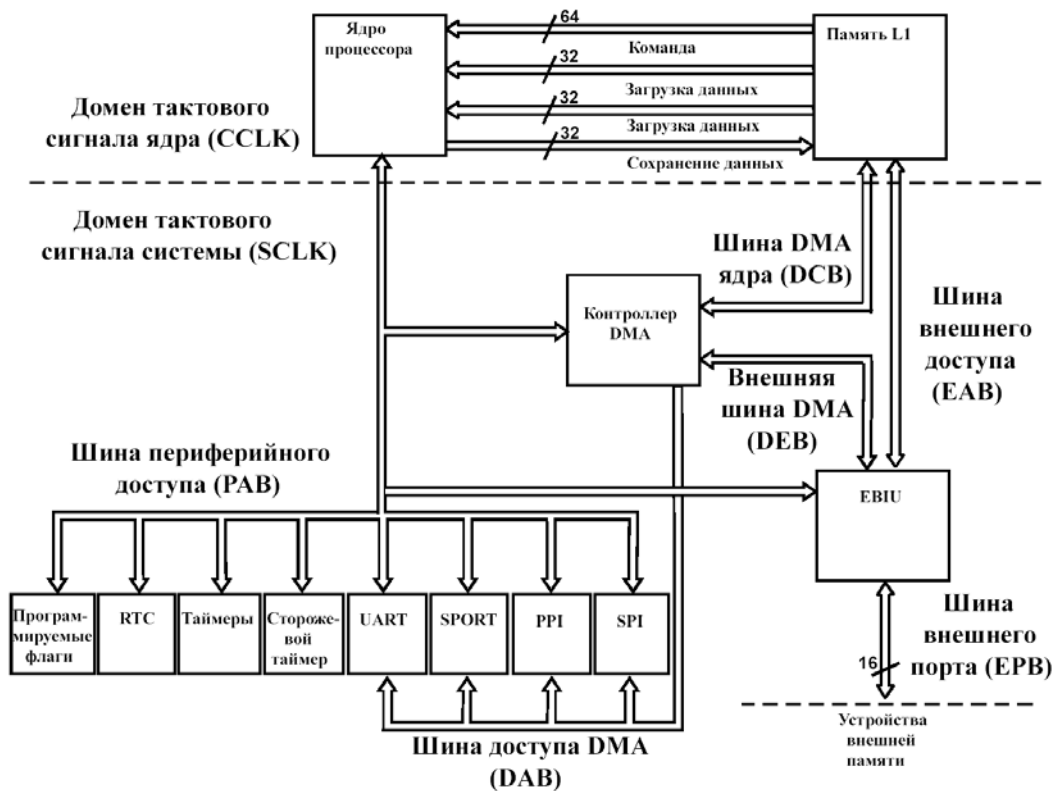


Рис. 7-1. Иерархия шин процессора

Внутренние интерфейсы

На рис. 7-1 показаны границы ядра процессора и системы, а также интерфейсы между ними.

Иерархия внутренних шин

Внутренние тактовые сигналы

Отношение частоты тактового сигнала ядра процессора (CCLK) к CLKIN может программно изменяться в широком диапазоне. Частота сигнала CCLK получается делением частоты выходного сигнала схемы фазовой автоподстройки частоты (PLL). Коэффициент деления устанавливается параметром CSEL в регистре деления PLL.

Шина периферийного доступа (PAB, Peripheral Access Bus), шина доступа DMA (DAB, DMA Access Bus), шина внешнего доступа (EAB, External Access Bus), шина DMA ядра (DCB, DMA Core Bus), внешняя шина DMA (DEB, DMA External Bus), шина внешнего порта (EPB, External Port Bus) и устройство интерфейса внешней шины (EBIU, External Bus Interface Unit) работают с тактовой частотой системы (домен SCLK). Коэффициент деления для частоты сигнала SCLK устанавливается при помощи параметра SSEL в регистре деления PLL, таким образом, чтобы перечисленные шины работали в соответствии с параметрами, указанными в *ADSP-BF531/ADSP-BF532/ADSP-BF533 Embedded Processor Data Sheet*, с частотой, не превышающей тактовой частоты ядра.

Частота работы этих шин может также изменяться программно в целях снижения потребляемой мощности или для задания оптимальной частоты работы ядра процессора частотой. Следует отметить, что частоты тактовых сигналов всех синхронных периферийных устройств (например, тактовая частота UART) формируются из частоты SCLK.

Обзор ядра

В данном обзоре в описание ядра включено описание блоков памяти уровня 1 (L1); ядро процессора обеспечивает обращение к ним с полной скоростью при помощи 64-разрядной шины команд и двух 32-разрядных шин данных.

На рис. 7-2 показано ядро процессора и его интерфейс с периферийными устройствами и ресурсами внешней памяти.

Иерархия внутренних шин

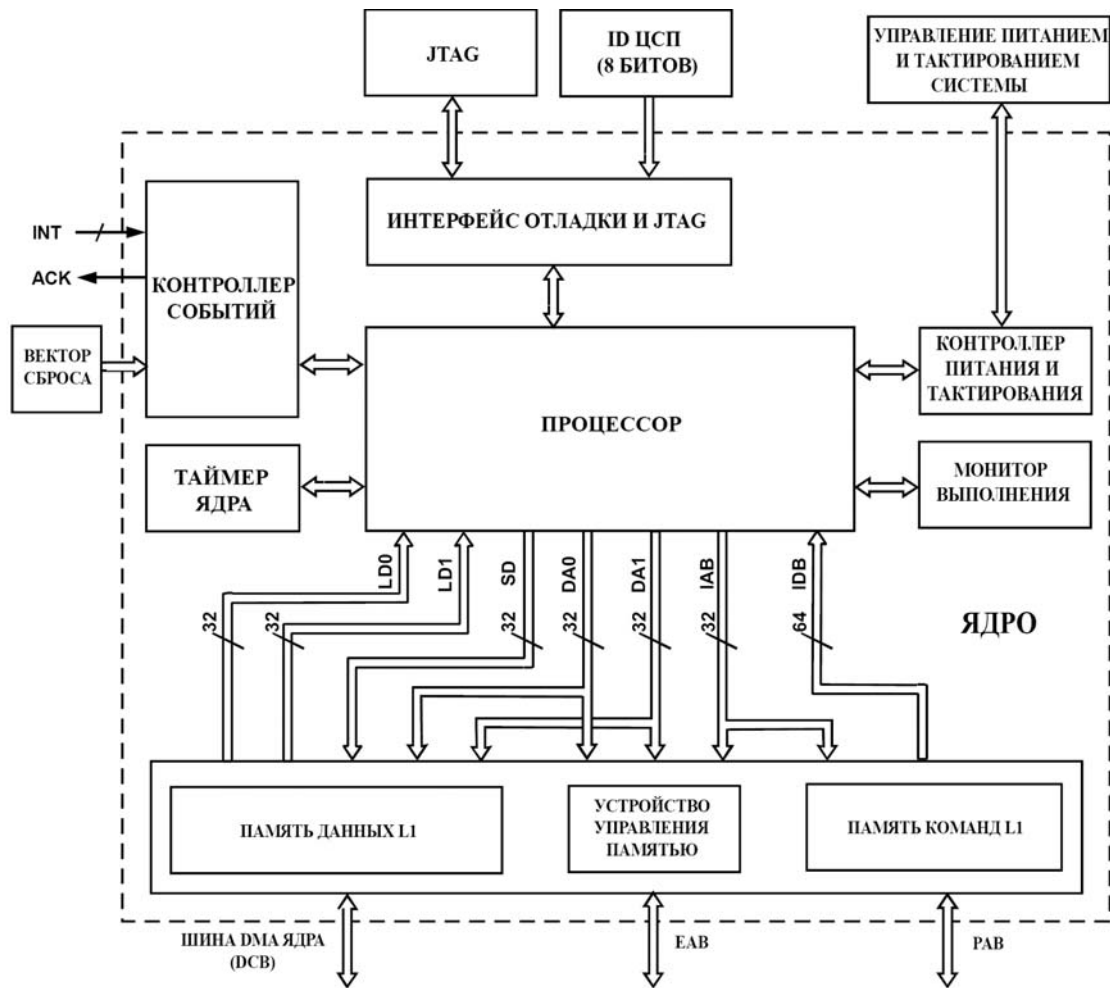


Рис. 7-2. Блок-схема ядра

Ядро может генерировать одновременно до трёх обращений к ресурсам, являющихся внешними по отношению к нему.

Структура шин ядра между процессором и памятью L1 работает с полной частотой ядра; по эти шинам может передаваться до 64-ёх разрядов данных.

Выполняемая по завершении формирования запроса команды 64-разрядная операция чтения может включать чтение одной 64-разрядной команды или любой комбинации 16-, 32-разрядных команд или частей 64-разрядных команд.

При разрешённом кэше для поддержки 32-байтных пакетных операций заполнения строк вызываются четыре 64-разрядных запроса чтения, которые образуют конвейер. При этом каждая передача приводит к заполнению одной строки.

Иерархия внутренних шин

Обзор системы

Система включает контроллеры прерываний системы, эмуляции/отладки, и управления питанием и тактированием. В целях поддержки транзакций между ядром и системой, принадлежащим к разным доменам тактовых сигналов, обеспечивается синхронное преобразование частот доменов.

Интерфейсы системы

Система процессора включает (см. рис. 7-2):

- набор периферийных устройств (таймеры, часы реального времени, программируемые флаги, UART, SPORT, PPI, сторожевой таймер и SPI);
- контроллер внешней памяти (EBIU);
- интерфейсы между этими устройствами, системой и необязательными внешними ресурсами.

В следующих разделах описываются внутренние интерфейсы между системой и периферийными устройствами:

- Шина периферийного доступа (PAB)
- Шина доступа DMA (DAB)
- Шина DMA ядра (DCB)
- Внешняя шина DMA (DEB)
- Шина внешнего доступа

Устройство интерфейса внешней шины (EBIU) представляет собой шину первичных (внешних) выводов кристалла. EBIU обсуждается в главе 17, “Устройство интерфейса внешней шины”.

Шина периферийного доступа (PAB)

Процессор имеет выделенную периферийную шину. Использование периферийной шины, обладающей малыми задержками, сводит к минимуму останова ядра и позволяет управлять задержками прерываний при работе с периферийными устройствами, критичными ко времени обслуживания. Все периферийные устройства, доступ к которым осуществляется по шине PAB, отображаются в карте памяти процессора в пространстве регистров системы.

Ядро процессора осуществляет побайтовую адресацию, однако модель программирования ограничивает обращения к регистрам системы, отображённым в карте памяти, 32-разрядными (выровненными) доступами. Байтовый доступ к этой области памяти не поддерживается.

Иерархия внутренних шин

Арбитраж PAB

Единственным ведущим устройством этой шины является ядро. Арбитраж не требуется.

Производительность PAB

Первичным критерием производительности PAB является задержка, а не пропускная способность. Задержки передач при записи и при чтении по PAB составляет два такта SCLK.

Например, ядро может выполнять передачи до 32-ух битов за один доступ к ведомым устройствам PAB. При работе ядра с тактовой частотой, равной удвоенной тактовой частоте системы, задержка между доступами чтения или записи регистров системы, отображённых в карте памяти, составит четыре такта ядра (SCLK).

Максимальная частота работы PAB равна частоте SCLK.

Агенты PAB (ведомые и ведущие устройства)

Ядро процессора может управлять операциями шины PAB. Все периферийные устройства имеют интерфейс ведомого периферийной шины, позволяющий ядру выполнять доступ к регистрам управления и состояния. Эти регистры отображены в карте памяти в пространстве регистров системы. Адреса регистров системы, отображённых в карте памяти, перечислены в приложении В.

Ведомыми устройствами шины PAB являются:

- контроллер событий;
- контроллер управления питанием и тактированием;
- сторожевой таймер;
- часы реального времени (RTC);
- таймер0, 1 и 2;
- SPORT0;
- SPORT1;
- SPI;
- программируемые флаги;
- UART;
- PPI;
- контроллер асинхронной памяти (AMC);
- контроллер SDRAM (SDC)
- контроллер DMA.

Иерархия внутренних шин

Шина доступа DMA (DAB), шина DMA ядра (DCB), внешняя шина DMA (DEB)

Шины DAB, DCB и DEB используются для обращения периферийных устройств, поддерживающих DMA, к внутренней и внешней памяти с небольшим снижением или без снижения скорости работы ядра с памятью.

Арбитраж DAB

В систему процессора входят шесть периферийных устройств, поддерживающих DMA, включая контроллер DMA типа “память-память”. Эти устройства поддерживаются двенадцатью каналами DMA и ведущими устройствами шины. Контроллеры DMA периферийных устройств могут выполнять передачи данных между периферийными устройствами и внешней или внутренней памятью. Каналы чтения и записи контроллера DMA типа “память-память” осуществляют доступ к спискам своих дескрипторов по шине DAB.

DCB имеет приоритет перед ядром процессора при арбитраже обращений к L1, сконфигурированной как SRAM. При обращении к внешней памяти по шине DEB ядро имеет приоритет перед DEB. Процессор поддерживает политику арбитража шины DAB с программируемым приоритетом. В следующей таблице приведены приоритеты арбитража, используемые по умолчанию.

Таблица 7-1. Политика арбитража DAB, DCB и DEB.

Ведущее устройство шины DAB,DCB,DEB	Приоритет при арбитраже по умолчанию
PPI	0 – высший
Контроллер DMA приёма SPORT0	1
Контроллер DMA приёма SPORT1	2
Контроллер DMA передачи SPORT0	3
Контроллер DMA передачи SPORT1	4
Контроллер DMA SPI	5
Контроллер приёма UART	6
Контроллер передачи UART	7
Контроллер DMA типа “память-память” 0 (приёмник)	8
Контроллер DMA типа “память-память” 0 (источник)	9
Контроллер DMA типа “память-память” 1 (приёмник)	10
Контроллер DMA типа “память-память” 1 (источник)	11 – низший

Производительность DAB, DCB и DEB

Шина DAB процессора поддерживает передачи 16- или 32-разрядных данных. Разрядность шины данных – 16 разрядов, максимальная частота работы определена в *ADSP-BF531/ADSP-BF532/ADSP-BF533 Embedded Processor Data Sheet*.

DAB имеет выделенный порт в памяти L1. Остановы процессора не происходят, пока доступы ядра и DMA не производятся к одному и тому же банку памяти (размер банка L1 – 4 Кбайт). При конфликте доступ в режиме DMA имеет больший приоритет и выполняется раньше доступа ядра.

Иерархия внутренних шин

Следует отметить, что при выполнении ядром процессора передачи с захватом памяти (например, при выполнении команды TESTSET) также запрещается арбитраж адресуемого ресурса или банка памяти до его высвобождения. Контроллер DMA не может выполнять передачи с захватом памяти.

Доступ в режиме DMA к памяти L1 может быть остановлен только доступом другого канала DMA, находящимся в процессе выполнения. Задержки, вызванные этими остановами, добавляются к любым задержкам арбитража.

i При обращении к внешней памяти при помощи EBIU необходимо осуществление арбитража между ядром процессора и шиной DAB. Эта дополнительная задержка, вызванная арбитражом, в сумме с задержкой, требуемой для чтения из внешней памяти, может значительно ухудшить пропускную способность DAB и привести к потенциальному переполнению или потере данных в буферах периферийных устройств. Если вы используете DMA-совместимое периферийное устройство, отличное от контроллера DMA типа “память-память”, и собираетесь выполнять доступы к внешней памяти в режиме DMA, необходимо тщательно проанализировать параметры трафика. Следует убедиться, что для работы изохронных периферийных устройств, обращающихся к внутренней памяти, хватит выделенной пропускной способности, и будут приемлемы максимальные задержки арбитража.

Агенты (ведущие устройства) шины DAB

Ведущими устройствами этой шины являются все периферийные устройства, которые могут быть источниками доступов в режиме DMA, как показано в таблице 7-1. Политика арбитража доступа к DAB с программируемым приоритетом поддерживается отдельным арбитром.

При активных запросах DAB, поступающих от двух или более каналов ведущих устройств DMA, эффективность использования значительно возрастает вследствие конвейерного характера DAB. Циклы арбитража шины происходят параллельно с циклами передачи данных предыдущих доступов в режиме DMA.

Шина внешнего доступа (EAB)

При помощи шины EAB обеспечивается выполнение прямого доступа к внешней памяти и передач DMA типа “память-память” ядром процессора и контроллером DMA типа “память-память”.

Арбитраж EAB

Арбитраж при использовании ресурсов интерфейса шины внешнего порта необходим, вследствие возможных конфликтов между потенциальными ведущими

Иерархия внутренних шин

устройствами этой шины. Применяется схема арбитража с фиксированным приоритетом.

Производительность EAB

EAB поддерживает передачи отдельных 8- или 16-разрядных слов данных. Частота работы EAB равна частоте PAB и DAB и может достигать максимальной частоты SCLK, определённой в *ADSP-BF531/ADSP-BF532/ADSP-BF533 Embedded Processor Data Sheet*.

Передачи DMA типа “память-память” обычно приводят к повторяющимся обращениям к одной и той же ячейке памяти. Так как контроллер DMA типа “память-память” может одновременно обращаться к внутренней и внешней памяти, может достигаться значительная пропускная способность. Пропускная способность при обращениях к внутренней/внешней памяти ограничена меньшим из двух значений. При проектировании необходимо учесть 1-2 дополнительных такта, добавляемых при передаче каждого пакета.

В случае передач из внутренней памяти во внутреннюю память или из внешней памяти во внешнюю память, передачи пакетов не могут происходить одновременно. В таком случае время выполнения передач определяется суммой времён выполнения каждой передачи плюс дополнительный такт между ними.

В таблице 7-2 показаны различные типы 16-разрядных передач DMA типа “память-память”. В таблице предполагается, что другие доступы в режиме DMA не конфликтуют с выполняемыми операциями. В таблице указаны теоретические значения. При измерении в реальной схеме эти значения могут быть выше, в зависимости от устройства, подключённого к EBIU.

При выполнении доступов не в режиме DMA (например, доступов ядра), 32-разрядные обращения к SDRAM (вида $R0 = [P0]$; где P0 является указателем на адрес в SDRAM) всегда будут более эффективными по сравнению с выполнением двух 16-разрядных обращений (вида $R0 = W[P0++]$; где P0 является указателем на адрес в SDRAM). В этом примере 32-разрядное чтение SDRAM займёт 10 тактов SCLK, в то время как при выполнении двух операций 16-разрядного чтения, каждая из них потребует 9 тактов SCLK.

Иерархия внутренних шин

Таблица 7-2. Производительность EAB

Источник информации	Приёмник информации	Приблизительное количество тактов SCLK, требуемое для передачи n слов (от начала DMA до прерывания по его завершению)
16-разрядная SDRAM	Память данных L1	$n+14$
Память данных L1	16-разрядная SDRAM	$n+11$
16-разрядная асинхронная память	Память данных L1	$xn+12$, где x – число циклов состояний ожидания + время установки/время удержания, выраженное в тактах SCLK (минимальное значение $x - 2$)
Память данных L1	16-разрядная асинхронная память	$xn+9$, где x – число циклов состояний ожидания + время установки/время удержания, выраженное в тактах SCLK (минимальное значение $x - 2$)
16-разрядная SDRAM	16-разрядная SDRAM	$10+(17n/7)$
16-разрядная асинхронная память	16-разрядная асинхронная память	$10+2xn$, где x – число циклов состояний ожидания + время установки/время удержания, выраженное в тактах SCLK (минимальное значение $x - 2$)
Память данных L1	Память данных L1	$2n+12$